

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-017578

(43)Date of publication of application : 17.01.2003

(51)Int.CI.

H01L 21/8234
H01L 21/265
H01L 27/088
H01L 29/78

(21)Application number : 2001-198594

(71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD

(22)Date of filing : 29.06.2001

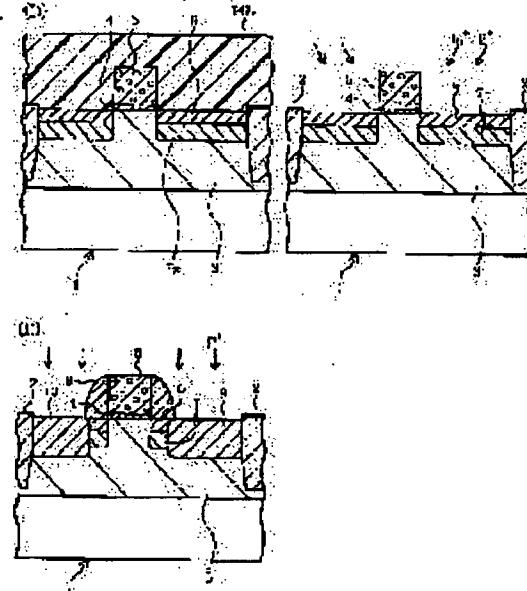
(72)Inventor : WADA HAJIME
OKABE KENICHI
WATANABE KO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device capable of forming a pocket area by using indium and decreasing the increase of leak current by ion injection of indium.

SOLUTION: The semiconductor device has first and second active areas demarcated on the main surface of a silicon substrate, a first n channel MOS transistor formed on the first active area having a first extension area and a first pocket area adding the indium of first concentration at a position deeper than the first extension area, and a second n channel MOS transistor formed on the second active area having a second extension area and a second pocket area adding the indium of second concentration lower than the first concentration at another position deeper than the second extension area. Furthermore, boron may be ion-injected in the second pocket area.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

た半導体デバイスにおいては、トランジスタのゲート幅が狭くなるに従い、漏出電流が低下する。トランジスタのゲート幅が狭くなるに従い、漏出電流が低下する現象は逆説的な現象である。P型ゲート電極を形成するためにインジウムを用いたドライスにおいては、ガロンを用いたドライスに比べ逆説チャネル効果がより顕著になる。

【00301】図6は、本発明者等が行なったサーマルウェーブユニットの実験結果を示す。図5 (D) に示すようなドライスMOSトランジスタにおいて、ボケット電極7を、種々のドース量のインジウムイオン注入により形成した。また、イオン注入後行なう活性化熱処理の条件を変化させた。

【00311】これらの中のサンプルに対し、ある周波数の熱波を与え、反射した熱波を測定することにより反射率を測定し、サーマルウェーブユニットを用いる。半導体基板内にアモルファス領域があると、このアモルファス領域は熱波の反射を増大させる機能がある。従って、熱波の反射率が低いことは、基板中にアモルファス相が発生していることを示唆する。サーマルウェーブユニットの特大は、アモルファス相の領域の増大を示唆する。

【00321】図6において、横軸はインジウムのドース量であり、縦軸はサーマルウェーブユニット(反射率)を示す。インジウムのドース量は、 $1.5 \times 10^{-3} \text{ cm}^{-2}$ 、 $2.0 \times 10^{-3} \text{ cm}^{-2}$ 、 $2.5 \times 10^{-3} \text{ cm}^{-2}$ 、 $3.0 \times 10^{-3} \text{ cm}^{-2}$ 、 $4.0 \times 10^{-3} \text{ cm}^{-2}$ に変化させ、熱処理条件は 1025°C 3秒、 1025°C 20秒、 1100°C 3秒、 900°C 20秒の4条件で行った。

【00331】 1025°C 、3秒間の熱処理を行ったサンプルの測定結果は曲線c1で示されている。 1025°C 、2秒間の熱処理を行ったサンプルの測定結果は曲線c2で示されている。曲線c1においては、インジウムドース量が $2.5 \times 10^{-3} \text{ cm}^{-2}$ を越えると、サーマルウェーブユニットは徐々に増大する。約 $3.5 \times 10^{-3} \text{ cm}^{-2}$ を越えるインジウムドース量では、低ドープ領域での変化のないサーマルウェーブユニットと比較し、 2.0% 以上のサーマルウェーブユニットの増大が認められる。

【00341】 1025°C での熱処理時間を3秒から 2.0 秒に増加させると、曲線c2に示すように、サーマルウェーブユニットは低ドープ量に拘わらず、ほぼ平坦な電流を示す。Inのイオン注入により発生したアモルファス相は、ほぼ完全に結晶相に回復していると考えられる。しかしながら、この熱処理条件は微細デバイスに対し合形状態の点で与える影響が大きくなる。

【00351】熱処理温度を低下した 900°C 、2秒間の熱処理に対しては、曲線d1で示される特性が得られた。曲線d1においては、インジウムドース量が 2.0 。

$\times 10^{-3} \text{ cm}^{-2}$ を越えると、サーマルウェーブユニットは明確な増大を示している。低ドース領域ではほぼ平坦なサーマルウェーブユニットを基準として、インジウムドース量 $2.5 \times 10^{-3} \text{ cm}^{-2}$ において、約 3.0% のサーマルウェーブユニットの増大が認められる。

【00361】然處理温度を高くした 1100°C 、3秒間の熱処理に対しては、曲線d2で示される特性が得られた。曲線d2においては、インジウムドース量を増大してもサーマルウェーブユニットの増大は認められず、ほぼ平坦な特性が得られている。しかしながら、 1100°C 、3秒間の熱処理は微細デバイスに対し、接合形状等の点で与える影響が大きい。

【00371】図6に示す測定結果から、は、熱処理を 1025°C 、3秒間で行なう場合、インジウムのドース量は約 $3.5 \times 10^{-3} \text{ cm}^{-2}$ 以下とすることがアモルファス相抑制の点から好ましいと判断する。 900°C 、20秒間の熱処理を行なう場合は、インジウムドース量はさらに低く約 $2.0 \times 10^{-3} \text{ cm}^{-2}$ 以下にすることが望ましい。

【00381】以下、本発明の実施例について説明する。図1 (A) ～図2 (E) は、同一の半導体チップ上にInでボケット領域を形成し、リード電流の増加を抑制する熱処理トランジスタと、Inを用いるが、リード電流を低減したリードトランジスタとを製造する方法の主要工程を示す半導体チップの断面図である。

【00391】図1 (A) に示すように、シリコン基板1の主要面に、STI1により素子分離領域2を形成する。素子分離領域2は、シリコン基板1主要面に多数の活性領域ARを配置する。

【00401】リチャネル領域をレジスト等のマスクで覆い、リチャネル領域にB+イオンを加速エネルギ 300 keV 、ドース量 $3.0 \times 10^{-3} \text{ cm}^{-2}$ でイオン注入し、P型ウェル3を形成する。さらに、表面部分にB+イオンを加速エネルギ 30 keV 、ドース量 $5.0 \times 10^{-2} \text{ cm}^{-2}$ でイオン注入し、表面を調整したチャネルを形成する。

【00411】リチャネル領域に対しては、リチャネル領域をレジスト等のマスクで覆い、別個のイオン注入を行なう。また、活性化しないサーマルウェーブユニットと比較しては、例えば厚さ約 $5 \sim 10 \text{ nm}$ の酸化シリコン層を熱処理 4 、例えば 13 cm^{-2} を示すインジウムドース量では、低ドープ領域での変化のないサーマルウェーブユニットと比較し、 2.0% 以上のサーマルウェーブユニットの増大が認められる。

【00421】 1025°C での熱処理時間を3秒から 2.0 秒に増加させると、曲線c2に示すように、サーマルウェーブユニットはInドープ量に拘わらず、ほぼ平坦な電流を示す。Inのイオン注入により発生したアモルファス相は、ほぼ完全に結晶相に回復していると考えられる。しかしながら、この熱処理条件は微細デバイスに対し合形状態の点で与える影響が大きくなる。

【00431】図1 (B) に示すように、絶縁ゲート電極5、STI1領域2をマスクとし、nチャネル領域の活性領域InにA+イオンを加速エネルギ 5 keV 、ドース量 $3.0 \times 10^{-15} \text{ cm}^{-2}$ 程度でイオン注入し、浅いソース/ドレインエクステンション領域6、ボケット領域7が得られる。

【00441】図3 (A) に示すように、シリコン基板1の主要面に前述の工程によりSTI1の素子分離領域2を形成する。リチャネル領域に対し、n型不純物例はP+イオンを加速エネルギ 600 keV 、ドース量 $3.0 \times 10^{-13} \text{ cm}^{-2}$ 程度でイオン注入。さらに、P+イオンを加速エネルギ 80 keV 、ドース量 $2.0 \times 10^{-12} \text{ cm}^{-2}$ 程度でイオン注入し、闇的調整を行なったチャネルを形成する。

【00451】然處理温度を 1100°C 、3秒間の熱処理に対しては、低リードトランジスタに共通である。

【00461】図1 (C) は、左側に標準トランジスタ、右側に低リードトランジスタを示す。図に示すように、低リードトランジスタの活性領域をレジストマスクPR1で覆い、nチャネル標準トランジスタの活性領域にIn+イオンを加速エネルギ 100 keV 、ドース量 $6.0 \times 10^{-13} \text{ cm}^{-2}$ 程度でイオン注入し、闇的調整を行なったチャネルを形成する。

【00471】図3 (B) に示すように、ゲート電極1と、P+イオンを加速エネルギ 100 keV 、ドース量 $6.0 \times 10^{-13} \text{ cm}^{-2}$ 程度でイオン注入し、浅いソース/ドレインエクステンション領域4を形成する。図に示すように、A+イオンを加速エネルギ 80 keV 、ドース量 $3.0 \times 10^{-14} \text{ cm}^{-2}$ 程度でイオン注入し、闇的調整4を形成する。

【00481】図3 (C) に示すように、A+イオンを加速エネルギ 80 keV 、ドース量 $3.0 \times 10^{-13} \text{ cm}^{-2}$ 程度でイオン注入し、浅いソース/ドレインエクステンション領域4を形成する。図に示すように、A+イオンを加速エネルギ 10 keV 、ドース量 $2.0 \times 10^{-12} \text{ cm}^{-2}$ 程度でイオン注入し、闇的調整4を形成する。

【00491】図3 (D) に示すように、標準トランジスタPR2で覆い、nチャネル底面から約 $3.0 \mu\text{m}$ の深度でドリルした4方向から行なう。チルトさせる事により絶縁ゲート端部下方に入り込んだP型ボケット領域を作成する。

【00501】図3 (E) に示すように、標準トランジスタPR2で覆い、nチャネル底面から約 $3.0 \mu\text{m}$ の深度でドリルした4方向から行なう。チルトさせる事により絶縁ゲート端部下方に入り込んだP型ボケット領域を作成する。図に示すように、前述の工程によりボケット領域形成のためのイオン注入は、基板換にし、3度チルトした4方向から行なう。

【0051】図3 (F) に示すように、側壁スベーザ8を形成する。

【0052】これらの中のサンプルに対し、ある周波数の熱波を与え、反射した熱波を測定することにより反射率を測定し、サーマルウェーブユニットを用いる。半導体基板内にアモルファス領域があると、このアモルファス領域は熱波の反射を増大させる機能がある。従って、熱波の反射率が低いことは、基板中にアモルファス相が発生していることを示唆する。この特大は、アモルファス相の領域の増大を示唆する。

【0053】図6において、横軸はインジウムのドース量であり、縦軸はサーマルウェーブユニット(反射率)を示す。インジウムのドース量は、 $1.5 \times 10^{-3} \text{ cm}^{-2}$ 、 $2.0 \times 10^{-3} \text{ cm}^{-2}$ 、 $2.5 \times 10^{-3} \text{ cm}^{-2}$ 、 $3.0 \times 10^{-3} \text{ cm}^{-2}$ 、 $4.0 \times 10^{-3} \text{ cm}^{-2}$ に変化させ、熱処理条件は 1025°C 3秒、 1025°C 20秒、 1100°C 3秒、 900°C 20秒の4条件で行った。

【0054】図6においては、曲線c1に示すように、シリコン基板1の主要面に、STI1により素子分離領域2を形成する。このため、側壁スベーザ8に対するものであり、PチャネルMOSトランジスタと低リードトランジスタを作り分ける必要はない。

【0055】図4 (A) ～(C) に示すように、側壁スベーザ8を形成する。図に示すように、側壁スベーザ8を形成する場合を例にとて説明する。

【0056】その後、B+イオンを加速エネルギ 5 keV 、ドース量 $5.0 \times 10^{-15} \text{ cm}^{-2}$ 程度でイオン注入し、深いソース/ドレインエクステンション領域4を形成する。

【0057】A+イオンを加速エネルギ 10 keV 、ドース量 $2.0 \times 10^{-12} \text{ cm}^{-2}$ 程度でイオン注入し、側壁スベーザ8を形成する。図に示すように、前述の工程により、側壁スベーザ8を形成する。

【0058】B+イオンを加速エネルギ 5 keV 、ドース量 $5.0 \times 10^{-15} \text{ cm}^{-2}$ 程度でイオン注入し、側壁スベーザ8を形成する。図に示すように、側壁スベーザ8を形成する。

【0059】このため、側壁スベーザ8を形成する。

【0060】図4 (A) ～(C) に示すように、側壁スベーザ8を形成する。図に示すように、側壁スベーザ8を形成する。

【0061】このため、側壁スベーザ8を形成する。図に示すように、側壁スベーザ8を形成する。

【0062】B+イオンを加速エネルギ 30 keV 、ドース量 $3.0 \times 10^{-13} \text{ cm}^{-2}$ 程度でイオン注入し、側壁スベーザ8を形成する。図に示すように、側壁スベーザ8を形成する。

【0063】このため、側壁スベーザ8を形成する。図に示すように、側壁スベーザ8を形成する。

【0064】このため、側壁スベーザ8を形成する。図に示すように、側壁スベーザ8を形成する。

【0065】このため、側壁スベーザ8を形成する。図に示すように、側壁スベーザ8を形成する。

【0066】このため、側壁スベーザ8を形成する。図に示すように、側壁スベーザ8を形成する。

【0067】このため、側壁スベーザ8を形成する。図に示すように、側壁スベーザ8を形成する。

【0068】このため、側壁スベーザ8を形成する。図に示すように、側壁スベーザ8を形成する。

【0069】このため、側壁スベーザ8を形成する。図に示すように、側壁スベーザ8を形成する。

【0070】このため、側壁スベーザ8を形成する。図に示すように、側壁スベーザ8を形成する。

【0071】このため、側壁スベーザ8を形成する。図に示すように、側壁スベーザ8を形成する。

【0072】このため、側壁スベーザ8を形成する。図に示すように、側壁スベーザ8を形成する。

【0073】このため、側壁スベーザ8を形成する。図に示すように、側壁スベーザ8を形成する。

【0074】このため、側壁スベーザ8を形成する。図に示すように、側壁スベーザ8を形成する。

【0075】このため、側壁スベーザ8を形成する。図に示すように、側壁スベーザ8を形成する。

【0076】このため、側壁スベーザ8を形成する。図に示すように、側壁スベーザ8を形成する。

【0077】このため、側壁スベーザ8を形成する。図に示すように、側壁スベーザ8を形成する。

【0078】このため、側壁スベーザ8を形成する。図に示すように、側壁スベーザ8を形成する。

【0079】このため、側壁スベーザ8を形成する。図に示すように、側壁スベーザ8を形成する。

【0080】このため、側壁スベーザ8を形成する。図に示すように、側壁スベーザ8を形成する。

中间段階において厚板のゲート電極を形成する領域以外の領域を除去する。このようにして、厚いゲート電極と薄いゲート電極を形成する。

[0064] ゲート電極、ゲート電極膜をレジストマスクを用いてバーニングすることにより、ゲート電極25、ゲート電極14を形成する。

[0065] 図4(B)に示すように、A₃+イオンを加速エネルギー10keV、ドース量3.0×10¹⁴cm⁻²程度でイオン注入し、ソース/ドレインエクステンション領域を形成する。

[0066] 図4(C)に示すように、前述の実験同様の工程により、ゲート電極25側面上に偏置スペーサ8を形成した後、例えはP⁺イオンを加速エネルギー15kV、ドース量5.0×10¹⁵cm⁻²程度でイオン注入し、深いソース/ドレイン領域29を形成され、ゲート電極も駆けられない。

[0067] 高耐圧トランジスタは、上述のような工程により形成される半導体チップの平面構造を概略的に示す。半導体チップ30は、入出力回路31、メモリ回路32、ロジック回路33を含む。入出力回路31は、図4(C)に示すような高耐圧トランジスタを含む。メモリ領域32は、例えはスマチクランダムアクセスマモリ(SRAM)で形成され、低リードチャネルトランジスタを含む。ロジック回路33は、CMOS回路で構成され、メモリセルの底リードトランジスタよりゲート幅の広いチャネル構造トランジスタと、ポケット領域を備えたロチャネルトランジスタで形成される。

[0068] 図7は、上述の段階にて形成した標準トランジスタと低リードトランジスタのリード特性を示す。図中横軸は、リード電流を出力端Aで示し、縦軸は漏電流を示す。曲線1が標準トランジスタで形成されたリードトランジスタのリード特性を示す。4×10⁻¹³cm⁻²のインジウムと2.0×10¹³cm⁻²のポロジン注入で形成した低リードトランジスタの特性である。曲線2は、ポケット領域を6.28×10¹³cm⁻²のインジウムのイオン注入で形成した標準トランジスタの特性である。

[0069] 図7の特性から明らかのように、リード電流は1桁以上の大きさを示している。1nのドープ量を削除したことにより、リード電流が大幅に減少していることが明らかである。1nのドープ量を低減すると、アモルファス化される量が減少し、熱処理により満足できる程度まで結晶相に回復するものと考えられる。1nのドープ量を一定値以上に増加させると、回復できないアモルファス領域が増加し、リード電流を増大させると考えられる。

[0070] 図8(A)～(C)は、漏電圧V_{th}とゲート電圧V_Gにゲート電圧Cが形成されている場合、ゲート電圧のゲート漏電流及びゲート電圧依存性を示す。

[0071] 図8(A)～(C)は、漏電圧V_{th}とゲート電圧V_Gにゲート電圧Cが形成されている場合、ゲート電圧のゲート漏電流及びゲート電圧依存性を示す。

(電流方向の長さ)をゲート長とし、それと直交方向

の活性領域の幅をゲート幅Wとする。

[0072] ゲート電極、ゲート電極膜をレジストマスクを用いてバーニングすることにより、ゲート電極25、ゲート電極14を形成する。

[0073] 図8(B)に示すように、A₃+イオンを加速エネルギー10keV、ドース量3.0×10¹⁴cm⁻²程度でイオン注入し、ソース/ドレインエクステンション領域を形成する。

[0074] 図8(C)は、漏電のゲート幅依存性を示す。図中横軸はゲート幅Wをμmで示し、縦軸は漏電V_{th}を漏電位Vで示す。標準トランジスタの漏電V_{th}は、ゲート幅Wの減少と共に減少を経け、ほぼBとの差合により形成した低リードトランジスタの漏電は、ゲート幅Wの減少(狭チャネル化)に対して、も、有限の値を維持している。このように、低リードトランジスタにより逆差チャネル効果の影響を低減したトランジスタが得られる。

[0075] SRAM等のメモリ回路は、集積度向上のため狭いゲート幅の、例えは0.05～0.5μmの、低リードトランジスタで形成される。ロジック回路はゲート幅がより広い、例えは1～10μmの、標準トランジスタを用いて形成される。

[0076] なお、p型不純物としてBを用いる場合、イオン源としてボロンの他BF₂、デカボラン等ボラン化合物を用いてもよい。論理回路を標準トランジスタで作る場合を説明したが、論理回路を標準トランジスタと低リードトランジスタとの組み合わせ、または、低リードトランジスタとの組み合わせで用いることもできる。ゲートとしてノッチゲートを用いることができる。

[0077] 以上に実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば種々の変更、改良、組み合わせが可能な事は当業者に自明であろう。

[0078] 【発明の効果】以上説明したように、本発明によれば、インジウムを用いてポケット領域を形成し、その利点を維持したまま、インジウムを用いることによって生じ得るリード電流増大を低減することができる。

【図面の簡単な説明】

[図1] 本発明の実施例による半導体装置の製造工程を示す断面図である。

[図2] 本発明の実施例による半導体装置の製造工程を示す断面図である。

【図3】 PチャネルMOSトランジスタの製造工程を示す断面図である。

【図4】 高耐圧トランジスタの製造工程を示す断面図及び半導体チップの平面図である。

【図5】 従来の技術による半導体装置の製造工程を示す半導体チップの断面図である。

【図6】 ポケット領域をインジウムで形成した場合のサマルカーブの測定結果を示すグラフである。

【図7】 ポケット領域をインジウムで形成した場合と、インジウムとポロジンを混合して形成した場合のリード電流特性を示すグラフである。

【図8】 標準トランジスタと低リードトランジスタの漏電のゲート幅及びゲート電圧依存性を示すグラフである。

【図9】 ポケット領域と底リードトランジスタの漏電のゲート幅及びゲート電圧依存性を示すグラフである。

【図10】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図11】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図12】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図13】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図14】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図15】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図16】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図17】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図18】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図19】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図20】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図21】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図22】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図23】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図24】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

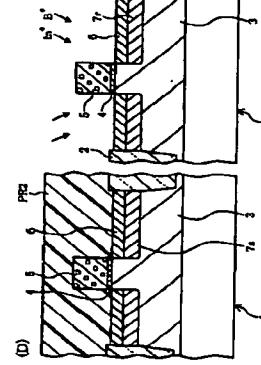
【図25】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図26】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

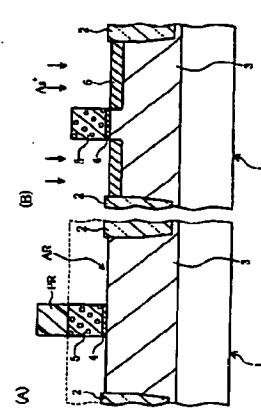
【図27】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図28】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図29】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。



[図3]



[図4]

【図5】 従来の技術による半導体装置の製造工程を示す断面図である。

【図6】 ポケットチップの断面図である。

【図7】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図8】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図9】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図10】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図11】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図12】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図13】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図14】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図15】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図16】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図17】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図18】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図19】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図20】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図21】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図22】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図23】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図24】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図25】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図26】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図27】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図28】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図29】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図30】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図31】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図32】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図33】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図34】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図35】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図36】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図37】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図38】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図39】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図40】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図41】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図42】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図43】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図44】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図45】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図46】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図47】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図48】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図49】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図50】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図51】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図52】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図53】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図54】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図55】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図56】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図57】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図58】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図59】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図60】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図61】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図62】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図63】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図64】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図65】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図66】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図67】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図68】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図69】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図70】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図71】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図72】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図73】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図74】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図75】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図76】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図77】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図78】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図79】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図80】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図81】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図82】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図83】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図84】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図85】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図86】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図87】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図88】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図89】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図90】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図91】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図92】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図93】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図94】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図95】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図96】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図97】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図98】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図99】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図100】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図101】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図102】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図103】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図104】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

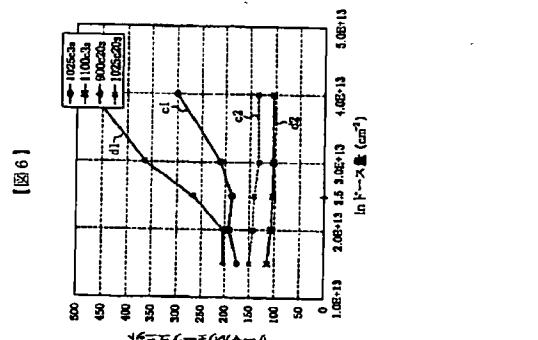
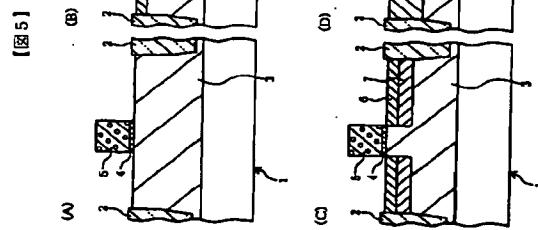
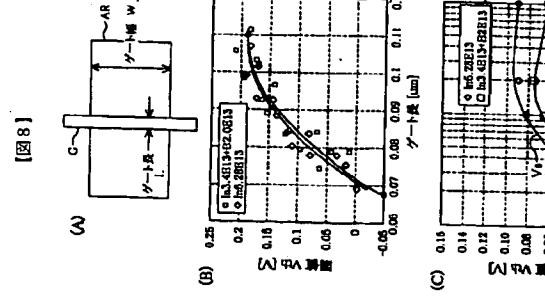
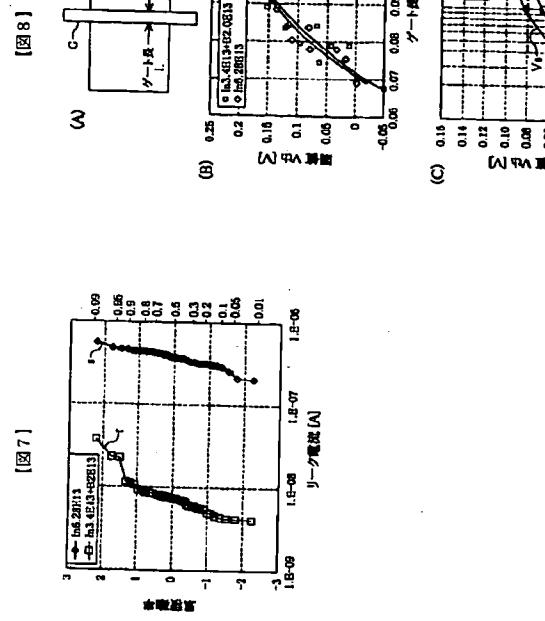
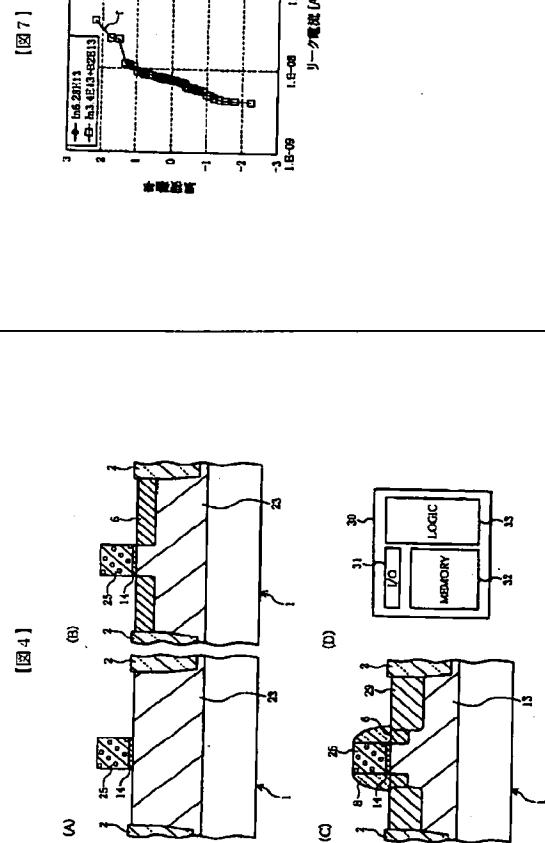
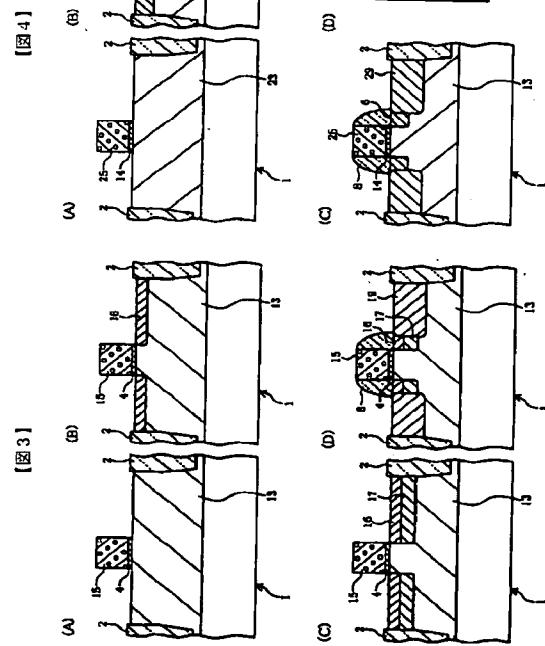
【図105】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図106】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図107】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

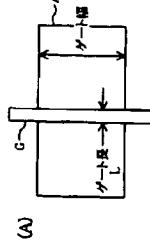
【図108】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

【図109】 ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

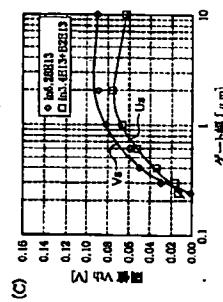
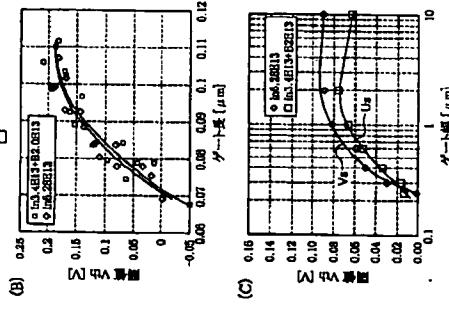
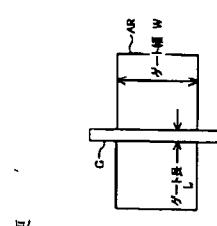
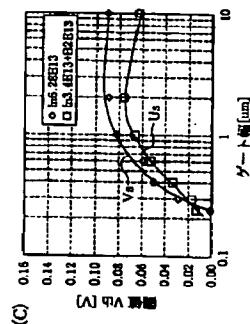
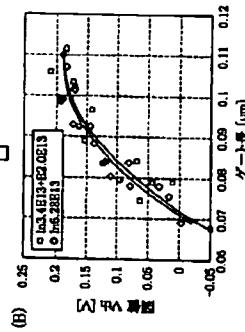


【手続補正2】
【提出日】平成13年11月7日(2001.11.7)
【補正対象部類名】明細書
【補正項目名】0076
【補正方法】変更
【手続補正1】
【補正対象部類名】明細書
【補正対象項目名】請求項4
【補正方法】変更
【補正内容】
【請求項4】さらに、前記素子分離領域によって限定された第3の活性領域と、前記第1および第2の活性領域上に形成され、前記第1および第2の絶縁ゲートよりも厚いゲート絶縁膜を有する第3の絶縁ゲートと、前記第3の絶縁ゲート両側で第3の活性領域に形成され、ポケット領域を伴わない第3のエクステンション領域とを有する第3のnチャネルMOSトランジスタと、を有する構成項1～3のいずれか1項に記載の半導体装置。
【手続補正2】

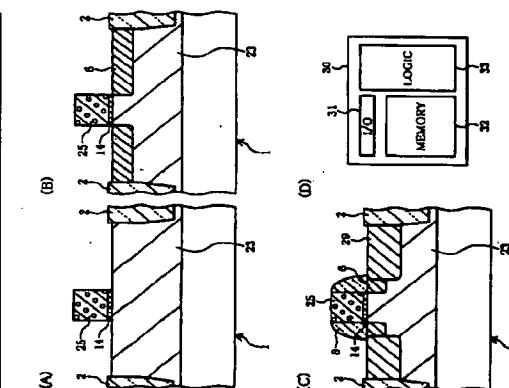
【手続補正3】
【補正対象部類名】図面
【補正対象項目名】図8
【補正方法】変更
【補正内容】
【図8】



【補正方法】変更
【補正内容】
【図8】



【手続補正】
19) [手続補正1]
[補正対象部品名] 図面
[補正対象項目名] 図4
[補正方法] 変更
[補正内容]
【図4】



Fターム(参考) SF048 AA07 AB08 AB03 AC01 BA01
BB05 BH08 BB16 BB18 BC05
BC06 BD04 BG14
SF140 AA21 AB22 AC23 BA01 BB15 BC03
AC32 AC33 BA01 BB15 BC06
BB07 BF04 BF11 BF18 BG08
BC12 BC51 BC55 BH14 BH15
BH21 BH36 BK02 BK13 BK14
BK21 BK22 CB04 CB08

【手続補正2】
【補正対象部品名】図面
【補正対象項目名】図8